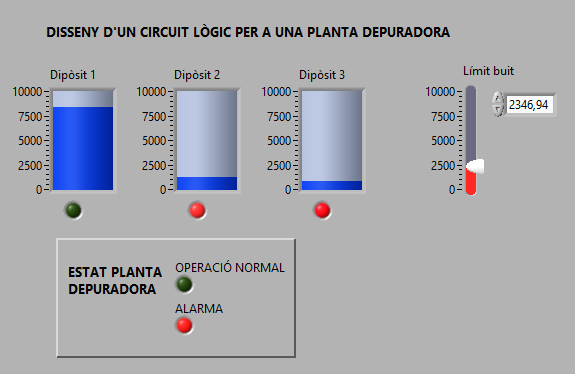
**CURS**: Introducció al LabVIEW i adquisició de dades.

**DATA**: Juny/2020

**EXERCICI**: Disseny amb portes lògiques i Karnaugh

1. **OBJECTIUS.**



L’objectiu d’aquest projecte és **contextualitzar el disseny amb portes lògiques**, proposant una aplicació dinàmica **que l’alumne pugui manipular i aquesta reaccioni de forma semblant a una aplicació real**. Per fer-ho, es proposa la realització d’un circuit lògic que controli l’estat d’una **planta depuradora**.

1. **UBICACIÓ DINS DEL CURRÍCULUM.**

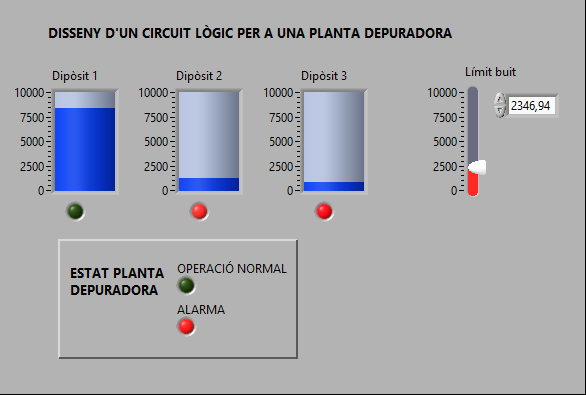
|  |  |
| --- | --- |
| Cicle formatiu: | CCFF GS en manteniment electrònic |
| Mòdul professional: | M01 |
| Unitat formativa: | UF1: Introducció als sistemes binaris, funcionament i muntatge de circuits combinacionals i aritmètics. |
| Resultat d’aprenentatge: | RA2. Munta circuits digitals combinacionals, identificant-ne els components i blocs i verificant-ne el funcionament.  2.2 Identifica els blocs dels integrats.  2.3 Mesura els paràmetres dels circuits digitals combinacionals muntats.  2.5 Identifica les aplicacions d’aquests circuits en equips i sistemes electrònics.  2.6 Reconeix la funció de cada component.  2.7 Mostra autonomia en la realització de les tasques proposades. |

1. **PROPOSTA DE L’EXEMPLE.**
   1. **ENUNCIAT.**

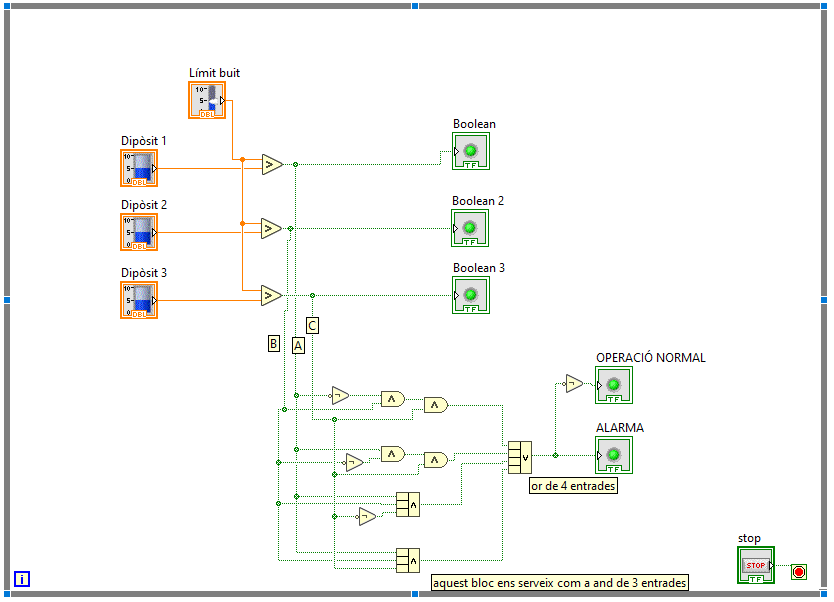
Una planta depuradora disposa de tres dipòsits d’aigua. Al fons de cada dipòsit hi ha un sensor de nivell que s’activa quan es troba buit. Dissenyar un circuit lògic que activi una alarma quan dos sensors (o més) estiguin per sota un límit definit per l’usuari.

NOTA: en aquest 1r enunciat, **no** fer Karnaugh.

* 1. **RESOLUCIÓ DE L’EXEMPLE.**



Front Panel del VI principal

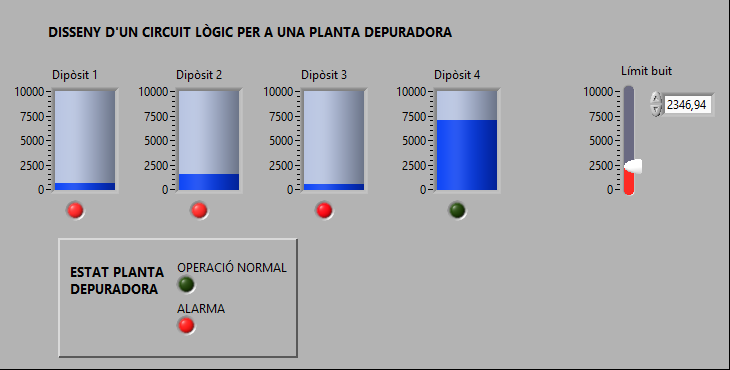


Block Diagram del VI principal

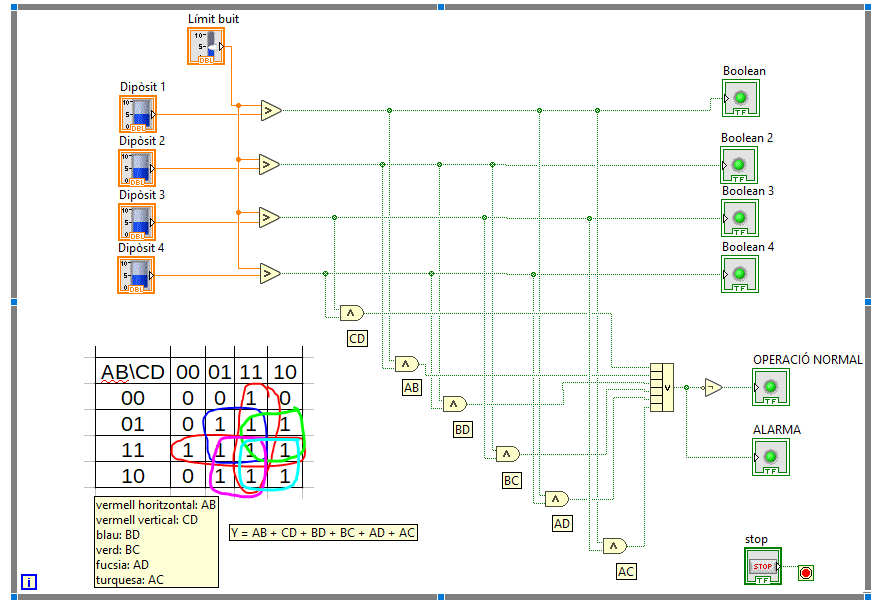
1. **ENUNCIAT DE L’EXERCICI.**

Afegir un **4t dipòsit** i resoldre l’exercici mitjançant **mapa de Karnaugh**. És a dir, volem obtenir la funció lògica el més simplificada possible.

* 1. **SOLUCIÓ DE L’EXERCICI.**



Front Panel del VI principal



Block Diagram del VI principal

1. **AVALUACIÓ.**

A continuació es descriu el sistema d’avaluació proposat indicant la valoració/ponderació de cada apartat, relacionant-lo amb els diferents Resultats d’aprenentatge (RA’s) que pot estar afectat aquesta activitat.

He fet una estimació de percentatges sobre la RA però només del total d’aquesta activitat. Depèn de la resta d’activitats de l’UF , el pes que tindrà aquesta activitat sobre el total aquesta RA podrà ser diferent.

RA’s de l’activitat:

* 2.2 Identifica els blocs dels integrats.
* 2.3 Mesura els paràmetres dels circuits digitals combinacionals muntats.
* 2.5 Identifica les aplicacions d’aquests circuits en equips i sistemes electrònics.
* 2.6 Reconeix la funció de cada component.
* 2.7 Mostra autonomia en la realització de les tasques proposades

|  |  |
| --- | --- |
| **RESULTAT D’APRENENTATGE** | **%** |
| RA2 (2.2)  Funcionament correcte del programa (exemple) | 5% |
| RA1 (2.6)  Programació adient del programa (exemple) | 5% |
| RA1 (2.5)  Programació adient del programa (exercici) | 40% |
| RA1 (2.3)  Depuració del programa (exemple) | 10% |
| RA1 (2.7)  Depuració del programa (exercici) | 40% |

1. **PRESENTACIÓ.**

A aquesta activitat s’adjunta:

* El present document explicatiu de l’exemple i l’exercici.
* Els projectes de LabVIEW amb la solució tant de l’exemple com de l’exercici.

1. **POSIBLES AMPLIACIONS.**

* A la unitat formativa 4, es podria recuperar l’exercici i provar de fer-lo amb l’estructura case per tal que enllacin la lògica cablejada (portes lògiques) amb la lògica programada (estructura case).